

**Universidad Católica San Pablo**  
**Escuela Profesional de**  
**Ciencia de la Computación**  
**SILABO**



**CS221. Arquitectura de Computadores (Obligatorio)**

**1. DATOS GENERALES**

1.1 CARRERA PROFESIONAL	:	Ciencia de la Computación
1.2 ASIGNATURA	:	CS221. Arquitectura de Computadores
1.3 SEMESTRE ACADÉMICO	:	3 <sup>er</sup> Semestre.
1.4 PREREQUISITO(S)	:	CS1D2. Estructuras Discretas II. (2 <sup>do</sup> Sem)
1.5 CARÁCTER	:	Obligatorio
1.6 HORAS	:	2 HT; 2 HL;
1.7 CRÉDITOS	:	3

**2. DOCENTE**

Dr. Yván Jesús Túpac Valdivia

- Dr. Ingeniería Eléctrica, Pontificia Universidad Católica de Rio de Janeiro, Brasil, 2005.
- Mag. Ingeniería Eléctrica, Pontificia Universidad Católica de Rio de Janeiro, Brasil, 2000.
- Prof. Bachiller en Ingeniería Eléctrica, Universidad Nacional San Agustín, Perú, 1994.

**3. FUNDAMENTACIÓN DEL CURSO**

Es necesario que el profesional en Ciencia de la Computación tenga sólido conocimiento de la organización y funcionamiento de los diversos sistemas de cómputo actuales en los cuales gira se instala el entorno de programación. Con ello también sabrá establecer los alcances y límites de las aplicaciones que se desarrollen de acuerdo a la plataforma siendo usada.

Se tratarán los siguientes temas: componentes de lógica digital básicos en un sistema de computación, diseño de conjuntos de instrucciones, microarquitectura del procesador y ejecución en *pipelining*, organización de la memoria: caché y memoria virtual, protección y compartición, sistema I/O e interrupciones, arquitecturas super escalares y ejecución fuera de orden, computadoras vectoriales, arquitecturas para *multithreading*, multiprocesadores simétricos, modelo de memoria y sincronización, sistemas integrados y computadores en paralelo.

**4. SUMILLA**

1. Lógica digital y sistemas digitales  
2. Representación de datos a nivel máquina  
3. Organización de la Máquina a Nivel Ensamblador  
4. Organización funcional  
5. Organización y Arquitectura del Sistema de Memoria  
6. Interfaz y comunicación  
7. Multiprocesamiento y arquitecturas alternativas  
8. Mejoras de rendimiento

**5. OBJETIVO GENERAL**

- Este curso tiene como propósito ofrecer al estudiante una base sólida de la evolución de las arquitecturas de computadores y los factores que influenciaron en el diseño de los elementos de *hardware* y *software* en sistemas de computación actuales.
- Garantizar la comprensión de cómo es el *hardware* en sí y cómo interactúan *hardware* y *software* en un sistema de cómputo actual.
- Tratar los siguientes temas: componentes de lógica digital básicos en un sistema de computación, diseño de conjuntos de instrucciones, microarquitectura del procesador y ejecución en *pipelining*, organización de la memoria: caché y memoria virtual, protección y compartición, sistema I/O e interrupciones, arquitecturas super escalares y ejecución fuera de orden, computadoras vectoriales, arquitecturas para *multithreading*, multiprocesadores simétricos, modelo de memoria y sincronización, sistemas integrados y computadores en paralelo.

## 6. CONTRIBUCIÓN A LA FORMACIÓN PROFESIONAL Y FORMACIÓN GENERAL

Esta disciplina contribuye al logro de los siguientes resultados de la carrera:

- b) Analizar problemas e identificar y definir los requerimientos computacionales apropiados para su solución. (**Usar**)
- i) Utilizar técnicas y herramientas actuales necesarias para la práctica de la computación. (**Evaluar**)

## 7. COMPETENCIAS ESPECÍFICAS DE COMPUTACIÓN

Esta disciplina contribuye a la formación de las siguientes competencias del área de computación (IEEE):

- C4.** Una comprensión del hardware de la computadora desde la perspectiva del software, por ejemplo, el uso del procesador, memoria, unidades de disco, pantalla, etc.⇒ **Outcome i**
- C8.** Entendimiento de lo que las tecnologías actuales pueden y no pueden lograr.⇒ **Outcome b,i**
- C9.** Comprensión de las limitaciones de la computación, incluyendo la diferencia entre lo que la computación es inherentemente incapaz de hacer frente a lo que puede lograrse a través de un futuro de ciencia y tecnología.⇒ **Outcome b**
- CS3.** Analizar el grado en que un sistema basado en el ordenador cumple con los criterios definidos para su uso actual y futuro desarrollo.⇒ **Outcome i**

## 8. CONTENIDOS

UNIDAD 1: Lógica digital y sistemas digitales(18)	
Competencias: C8	
CONTENIDO	OBJETIVO GENERAL
<ul style="list-style-type: none"> <li>▪ Revisión e historia de la Arquitectura de Computadores.</li> <li>▪ Lógica combinacional vs. secuencial/Arreglos de puertas de campo programables como bloque fundamental de construcción lógico combinacional-secuencial.</li> <li>▪ Múltiples representaciones / Capas de interpretación (El hardware es solo otra capa)</li> <li>▪ Herramientas de diseño asistidas por computadora que procesan hardware y representaciones arquitecturales.</li> <li>▪ Registrar transferencia notación / Hardware lenguaje descriptivo (Verilog/VHDL)</li> <li>▪ Restricción física (Retrasos de Entrada, fan-in, fan-out, energía/poder)</li> </ul>	<ul style="list-style-type: none"> <li>▪ Describir el avance paulatino de los componentes de la tecnología de computación, desde los tubos de vacío hasta VLSI, desde las arquitecturas mainframe a las arquitecturas en escala warehouse[Familiarizarse]</li> <li>▪ Comprender que la tendencia de las arquitecturas modernas de computadores es hacia núcleos múltiples y que el paralelismo es inherente en todos los sistemas de hardware[Usar]</li> <li>▪ Explicar las implicancias de los límites de potencia para mejoras adicionales en el rendimiento de los procesadores y también en el aprovechamiento del paralelismo[Usar]</li> <li>▪ Relacionar las varias representaciones equivalentes de la funcionalidad de un computador, incluyendo expresiones y puertas lógicas, y ser capaces de utilizar expresiones matemáticas para describir las funciones de circuitos combinacionales y secuenciales sencillos[Familiarizarse]</li> <li>▪ Diseñar los componentes básicos de construcción de un computador: unidad aritmético lógica (a nivel de puertas lógicas), unidad central de procesamiento (a nivel de registros de transferencia), memoria (a nivel de registros de transferencia)[Usar]</li> <li>▪ Usar herramientas CAD para capturar, sistematizar, y simular bloques de construcción (como ALUs, registros, movimiento entre registros) de un computador simple[Familiarizarse]</li> <li>▪ Evaluar el comportamiento de un diagrama de tiempos y funcional de un procesador simple implementado a nivel de circuitos lógicos[Evaluar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Patterson and Hennessy, 2004]	

UNIDAD 2: Representación de datos a nivel máquina(8)	
Competencias: C9	
CONTENIDO	OBJETIVO GENERAL
<ul style="list-style-type: none"> <li>▪ Bits, Bytes y Words.</li> <li>▪ Representación de datos numérica y bases numéricas.</li> <li>▪ Sistemas de punto flotante y punto fijo.</li> <li>▪ Representaciones con signo y complemento a 2.</li> <li>▪ Representación de información no numérica (códigos de caracteres, información gráfica)</li> <li>▪ Representación de registros y arreglos.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Explicar porqué en computación todo es datos, inclusive las instrucciones[Evaluar]</li> <li>▪ Explicar las razones de usar formatos alternativos para representar datos numéricos[Familiarizarse]</li> <li>▪ Describir cómo los enteros negativos se almacenan con representaciones de bit de signo y complemento a 2[Usar]</li> <li>▪ Explicar cómo las representaciones de tamaño fijo afectan en la exactitud y la precisión[Usar]</li> <li>▪ Describir la representación interna de datos no numéricos como caracteres, cadenas, registros y arreglos[Usar]</li> <li>▪ Convertir datos numéricos de un formato a otro[Usar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Stalings, 2010]	

<b>UNIDAD 3: Organización de la Máquina a Nivel Ensamblador(8)</b>	
<b>Competencias: C4,CS3</b>	
<b>CONTENIDO</b>	<b>OBJETIVO GENERAL</b>
<ul style="list-style-type: none"> <li>▪ Organización Básica de la Máquina de Von Neumann.</li> <li>▪ Unidad de Control.</li> <li>▪ Paquetes de instrucciones y tipos (manipulación de información, control, I/O)</li> <li>▪ Assembler / Programación en Lenguaje de Máquina.</li> <li>▪ Formato de instrucciones.</li> <li>▪ Modos de direccionamiento.</li> <li>▪ Llamada a subrutinas y mecanismos de retorno.</li> <li>▪ I/O e Interrupciones.</li> <li>▪ Montículo (Heap) vs. Estático vs. Pila vs. Segmentos de código.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Explicar la organización de la maquina clásica de von Neumann y sus principales unidades funcionales[Familiarizarse]</li> <li>▪ Describir cómo se ejecuta una instrucción en una máquina de von Neumann con extensión para hebras, sincronización multiproceso y ejecucion SIMD (máquina vectorial)[Familiarizarse]</li> <li>▪ Describir el paralelismo a nivel de instrucciones y sus peligros, y cómo es esto tratado en pipelines de proceso típicos[Familiarizarse]</li> <li>▪ Resumir cómo se representan las instrucciones, tanto a nivel de máquina bajo el contexto de un ensamblador simbólico[Familiarizarse]</li> <li>▪ Demostrar cómo se mapean los patrones de lenguajes de alto nivel en notaciones en lenguaje ensamblador o en código máquina[Usar]</li> <li>▪ Explicar los diferentes formatos de instrucciones, así como el direccionamiento por instrucción, y comparar formatos de tamaño fijo y variable[Usar]</li> <li>▪ Explicar como las llamadas a subrutinas son manejadas a nivel de ensamblador[Usar]</li> <li>▪ Explicar los conceptos básicos de interrupciones y operaciones de entrada y salida (I/O)[Familiarizarse]</li> <li>▪ Escribir segmentos de programa simples en lenguaje ensamblador[Usar]</li> <li>▪ Ilustrar cómo los bloques constructores fundamentales en lenguajes de alto nivel son implementados a nivel de lenguaje máquina[Usar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Patterson and Hennessy, 2004], [Hennessy and Patterson, 2006]	

<b>UNIDAD 4: Organización funcional(8)</b>	
<b>Competencias: C9</b>	
<b>CONTENIDO</b>	<b>OBJETIVO GENERAL</b>
<ul style="list-style-type: none"> <li>▪ Implementación de rutas de datos simples, incluyendo la canalización de instrucciones, detección de riesgos y la resolución.</li> <li>▪ Control de unidades: Realización Cableada vs Realización Microprogramada.</li> <li>▪ Instrucción (Pipelining)</li> <li>▪ Introducción al paralelismo al nivel de instrucción (PNI)</li> </ul>	<ul style="list-style-type: none"> <li>▪ Comparar implementaciones alternativas de ruta de datos[Evaluar]</li> <li>▪ Discutir el concepto de puntos de control y la generación de señales de control usando implementaciones a nivel de circuito o microprogramadas[Familiarizarse]</li> <li>▪ Explicar el paralelismo a nivel de instrucciones básicas usando pipelining y los mayores riesgos que pueden ocurrir[Usar]</li> <li>▪ Diseñar e implementar un procesador completo, incluyendo ruta de datos y control[Usar]</li> <li>▪ Calcular la cantidad promedio de ciclos por instrucción de una implementación con procesador y sistema de memoria determinados[Evaluar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Hennessy and Patterson, 2006]	

<b>UNIDAD 5: Organización y Arquitectura del Sistema de Memoria(8)</b>	
<b>Competencias: CS3</b>	
<b>CONTENIDO</b>	<b>OBJETIVO GENERAL</b>
<ul style="list-style-type: none"> <li>▪ Sistemas de Almacenamiento y su Tecnología.</li> <li>▪ Jerarquía de Memoria: importancia de la localización temporal y espacial.</li> <li>▪ Organización y Operaciones de la Memoria Principal.</li> <li>▪ Latencia, ciclos de tiempo, ancho de banda e intercalación.</li> <li>▪ Memorias caché (Mapeo de direcciones, Tamaño de bloques, Reemplazo y Políticas de almacenamiento)</li> <li>▪ Multiprocesador coherencia cache / Usando el sistema de memoria para las operaciones de sincronización de memoria / atómica inter-core.</li> <li>▪ Memoria virtual (tabla de página, TLB)</li> <li>▪ Manejo de Errores y confiabilidad.</li> <li>▪ Error de codificación, compresión de datos y la integridad de datos.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Identifique las principales tecnologías de memoria (Por ejemplo: SRAM, DRAM, Flash, Disco Magnético) y su relación costo beneficio[Familiarizarse]</li> <li>▪ Explique el efecto del retardo de la memoria en tiempo de ejecución[Familiarizarse]</li> <li>▪ Describa como el uso de jerarquía de memoria (caché, memoria virtual) es aplicado para reducir el retardo efectivo en la memoria[Usar]</li> <li>▪ Describa los principios de la administración de memoria[Usar]</li> <li>▪ Explique el funcionamiento de un sistema con gestión de memoria virtual[Usar]</li> <li>▪ Calcule el tiempo de acceso promedio a memoria bajo varias configuraciones de caché y memoria y para diversas combinaciones de instrucciones y referencias a datos[Evaluar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Patterson and Hennessy, 2004], [Denning, 2005]	

<b>UNIDAD 6: Interfaz y comunicación(8)</b>	
<b>Competencias: C4,C9,CS3</b>	
<b>CONTENIDO</b>	<b>OBJETIVO GENERAL</b>
<ul style="list-style-type: none"> <li>▪ Fundamentos de I/O: Handshaking, Bbuffering, I/O programadas, interrupciones dirigidas de I/O.</li> <li>▪ Interrumpir estructuras: interrumpir reconocimiento, vectorizado y priorizado.</li> <li>▪ Almacenamiento externo, organización física y discos.</li> <li>▪ Buses: Protocolos de bus, arbitraje, acceso directo a memoria (DMA).</li> <li>▪ Introducción a Redes: comunicación de redes como otra capa de acceso remoto.</li> <li>▪ Soporte Multimedia.</li> <li>▪ Arquitecturas RAID.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Explicar como las interrupciones son aplicadas para implementar control de entrada-salida y transferencia de datos[Familiarizarse]</li> <li>▪ Identificar diversos tipos de buses en un sistema computacional[Familiarizarse]</li> <li>▪ Describir el acceso a datos desde una unidad de disco magnético [Usar]</li> <li>▪ Comparar organizaciones de red conocidas como organizaciones en bus/Ethernet, en anillo y organizaciones conmutadas versus ruteadas[Evaluar]</li> <li>▪ Identificar las interfaces entre capas necesarios para el acceso y presentación multimedia, desde la captura de la imagen en almacenamiento remoto, a través del transporte por una red de comunicaciones, hasta la puesta en la memoria local y la presentación final en una pantalla gráfica[Familiarizarse]</li> <li>▪ Describir las ventajas y limitaciones de las arquitecturas RAID[Familiarizarse]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Stalings, 2010]	

<b>UNIDAD 7: Multiprocesamiento y arquitecturas alternativas(8)</b>	
<b>Competencias: C9</b>	
<b>CONTENIDO</b>	<b>OBJETIVO GENERAL</b>
<ul style="list-style-type: none"> <li>▪ Ley potencial.</li> <li>▪ Ejemplos de juego de instrucciones y arquitecturas SIMD y MIMD.</li> <li>▪ Redes de interconexión (Hypercube, Shuffle-exchange, Mesh, Crossbar)</li> <li>▪ Sistemas de memoria de multiprocesador compartido y consistencia de memoria.</li> <li>▪ Coherencia de cache multiprocesador.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Discutir el concepto de procesamiento paralelo mas allá del clásico modelo de von Neumann[Evaluar]</li> <li>▪ Describir diferentes arquitecturas paralelas como SIMD y MIMD[Familiarizarse]</li> <li>▪ Explicar el concepto de redes de interconexión y mostrar diferentes enfoques[Usar]</li> <li>▪ Discutir los principales cuidados en los sistemas de multiprocesamiento presentes con respecto a la gestión de memoria y describir como son tratados[Familiarizarse]</li> <li>▪ Describir las diferencias entre conectores electricos en paralelo backplane, interconexión memoria procesador y memoria remota via red, sus implicaciones para la latencia de acceso y el impacto en el rendimiento de un programa[Evaluar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Parhami, 2002], [El-Rewini and Abd-El-Barr, 2005]	

UNIDAD 8: Mejoras de rendimiento(8)	
Competencias: C8,C9	
CONTENIDO	OBJETIVO GENERAL
<ul style="list-style-type: none"> <li>▪ Arquitectura superescalar.</li> <li>▪ Predicción de ramificación, Ejecución especulativa, Ejecución fuera de orden.</li> <li>▪ Prefetching.</li> <li>▪ Procesadores vectoriales y GPU's</li> <li>▪ Soporte de hardware para multiprocesamiento.</li> <li>▪ Escalabilidad.</li> <li>▪ Arquitecturas alternativas, como VLIW / EPIC y aceleradores y otros tipos de procesadores de propósito especial.</li> </ul>	<ul style="list-style-type: none"> <li>▪ Describir las arquitecturas superescalares y sus ventajas[Familiarizarse]</li> <li>▪ Explicar el concepto de predicción de bifurcaciones y su utilidad[Usar]</li> <li>▪ Caracterizar los costos y beneficios de la precarga prefetching[Evaluar]</li> <li>▪ Explicar la ejecución especulativa e identifique las condiciones que la justifican[Evaluar]</li> <li>▪ Discutir las ventajas de rendimiento ofrecida en una arquitectura de multihebras junto con los factores que hacen difícil dar el máximo beneficio de estas[Evaluar]</li> <li>▪ Describir la importancia de la escalabilidad en el rendimiento[Evaluar]</li> </ul>
<b>Lecturas:</b> [Parhami, 2005], [Parhami, 2002], [Patterson and Hennessy, 2004], [Dongarra, 2006], [Johnson, 1991]	

## 9. METODOLOGÍA

El profesor del curso presentará clases teóricas de los temas señalados en el programa propiciando la intervención de los alumnos.

El profesor del curso presentará demostraciones para fundamentar clases teóricas.

El profesor y los alumnos realizarán prácticas.

Los alumnos deberán asistir a clase habiendo leído lo que el profesor va a presentar. De esta manera se facilitará la comprensión y los estudiantes estarán en mejores condiciones de hacer consultas en clase.

## 10. EVALUACIONES

**Evaluación Permanente 1** : 20 %

**Examen Parcial** : 30 %

**Evaluación Permanente 2** : 20 %

**Examen Final** : 30 %

## Referencias

[Denning, 2005] Denning, P. J. (2005). The locality principle. *Commun. ACM*, 48(7):19–24.

[Dongarra, 2006] Dongarra, J. (2006). Trends in high performance computing: a historical overview and examination of future developments. *Circuits and Devices Magazine, IEEE*, 22(1):22–27.

[El-Rewini and Abd-El-Barr, 2005] El-Rewini, H. and Abd-El-Barr, M. (2005). *Advanced Computer Architecture and Parallel Processing*. John Wiley & Sons, Hoboken, NJ.

[Hennessy and Patterson, 2006] Hennessy, J. L. and Patterson, D. A. (2006). *Computer Architecture: A Quantitative Approach*. Morgan Kaufman, San Mateo, CA, 4th edition.

- [Johnson, 1991] Johnson, M. (1991). *Superscalar microprocessor design*. Prentice Hall series in innovative technology. Prentice Hall.
- [Parhami, 2002] Parhami, B. (2002). *Introduction to parallel processing: algorithms and architectures*. Plenum series in computer science. Plenum Press.
- [Parhami, 2005] Parhami, B. (2005). *Computer Architecture: From Microprocessors to Supercomputers*. Oxford Univ. Press, New York.
- [Patterson and Hennessy, 2004] Patterson, D. A. and Hennessy, J. L. (2004). *Computer Organization and Design: The Hardware/Software Interface*. Morgan Kaufman, San Mateo, CA, 3 edition.
- [Stalings, 2010] Stalings, W. (2010). *Computer Organization and Architecture: Designing for Performance*. Prentice Hall, Upper Saddle River, NJ, 8th edition.